

PAT-NO: JP406148280A

DOCUMENT-IDENTIFIER: JP 06148280 A

TITLE: TIMING SKEW ADJUSTING MECHANISM

PUBN-DATE: May 27, 1994

INVENTOR-INFORMATION:

NAME

OMORI, YOSHIHIRO

ASSIGNEE-INFORMATION:

NAME

ANDO ELECTRIC CO LTD

COUNTRY

N/A

APPL-NO: JP04316141

APPL-DATE: October 30, 1992

INT-CL (IPC): G01R031/28, G01R031/26

US-CL-CURRENT: 370/476

ABSTRACT:

PURPOSE: To shorten the time required in skew adjustment to a large extent and to efficiently operate an apparatus by providing a mechanism efficiently adjusting timing skew at a high speed in a moving tester.

CONSTITUTION: A timing skew adjusting mechanism adjusting the timing skew between a plurality of input and output pins is equipped with a variable delay circuit 13 applying a predetermined signal transmission delay time to the output pin having to adjust skew, a time measuring circuit 14 measuring the time lag between a first signal and a reference signal and an adjusting circuit 10 adjusting the delay quantity set in the variable delay circuit 13 corresponding to the time lag measured by the time measuring circuit 14.

COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-148280

(43)公開日 平成 6 年(1994) 5 月27 日

(51)Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

F I

技術表示箇所

G 0 1 R 31/28

31/26

G 9214-2 G

6912-2 G

G 0 1 R 31/ 28

P

審査請求 未請求 請求項の数 2(全 7 頁)

(21)出願番号 特願平4-316141

(22)出願日 平成 4 年(1992)10月30日

(71)出願人 000117744

安藤電気株式会社

東京都大田区蒲田 4 丁目19番 7 号

(72)発明者 大森 義廣

東京都大田区蒲田 4 丁目19番 7 号 安藤電

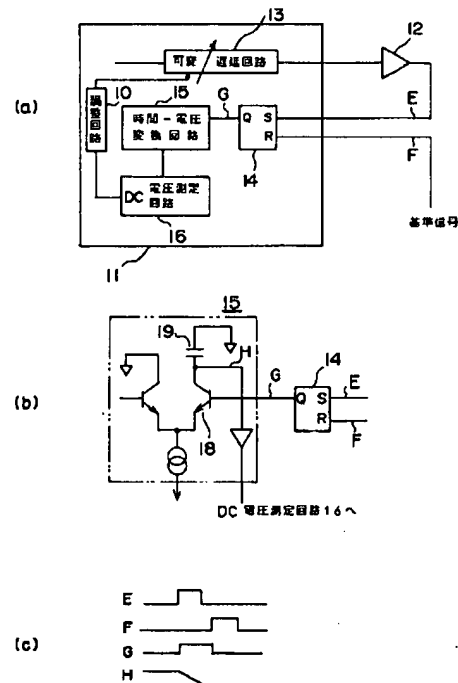
気株式会社内

(54)【発明の名称】 タイミングスキュー調整機構

(57)【要約】

【目的】 タイミングスキューの調整を高速かつ効率的に行う機構を移動試験装置内に内蔵させることによりスキュー調整に要する時間を大幅に短縮し、装置の効率的運用を可能とする。

【構成】 複数の入出力ピン間のタイミングスキューの調整を行うタイミングスキュー調整機構は、スキュー調整すべき出力ピンに所定の信号伝搬遅延時間を与える可変遅延回路13と、出力ピンより取出された第1の信号と基準信号との間の時間差を測定する時間測定回路14と、時間測定回路14によって測定された時間差に応じて可変遅延回路13に設定される遅延量を調整する調整回路10とを設けた。



## 【特許請求の範囲】

【請求項1】 複数の入出力ピン間のタイミングスキューの調整を行うタイミングスキュー調整機構において、スキュー調整すべき出力ピンに所定の信号伝搬遅延時間を与える第1的可変遅延回路(13,23)と、前記出力ピンより取出された第1の信号と基準信号との間の時間差を測定する時間測定回路(14,15,27)と、前記時間測定回路(14,15,27)によって測定された前記時間差に応じて前記第1的可変遅延回路(13,23)に設定される遅延量を調整する調整回路(10)とを設けた事の特徴とするタイミングスキュー調整機構。

【請求項2】 複数の入出力ピン間のタイミングスキューの調整を行うタイミングスキュー調整機構において、スキュー調整すべき入力ピンに所定の信号伝搬遅延時間を与える第2的可変遅延回路(26)と、前記入力ピンに与えられるあらかじめ基準信号に対しスキュー調整を行った第2の信号と前記第2的可変遅延回路(26)から出力された第3の信号との間の時間差を測定する時間測定回路(27)と、前記時間測定回路(27)によって測定された前記時間差に応じて前記第2的可変遅延回路(26)に設定される遅延量を調整する調整回路(29)とを設けた事の特徴とするタイミングスキュー調整機構。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】この発明は、自動試験装置におけるタイミングスキュー調整機構についてのものである。

## 【0002】

【従来の技術】自動試験装置、特にICの自動試験装置においては、複数の入出力ピンを被試験ICに接続し、試験装置側から被試験ICにデジタルのパターン列を加え、そのICからの応答をあらかじめ設定した期待パターンと比較することにより被試験ICの良否の判定を行なう。この場合、自動試験装置の入出力ピン相互間でタイミングスキューの調整を行う必要がある。しかし、自動試験装置の入出力ピンのピン数が多くなると、ピン間のタイミングスキューの調整に要する時間が長くなり、運用上再調整を必要とする場合に支障をきたすことになる。

【0003】図3は従来の自動試験装置における出力ピンのタイミングスキュー調整機構の一例を示した図で、(a)はその回路ブロック図を、(b)は各部の波形図をそれぞれ示したものである。試験装置本体31内には出力ピンに所定の信号伝搬遅延時間を与えるための可変遅延回路34が出力ピンごとに設けられており、これに接続されたドライバ回路32から信号Aが取り出される。ドライバ回路32からの出力信号Aはコンパレータ33のプラス側入力端子に接続され、マイナス側入力端子には試験装置本体31内のレベル電源回路30が接続される。

【0004】これによりコンパレータ33にはマイナス側入力端子に一定電圧が印加され、ドライバ回路32を介してプラス側入力端子に与えられる信号Aがこのレベル電源回路30により設定された電圧レベルを越えた時にコンパレータ33の出力信号Bがハイレベルとなるよう動作する。この場合、コンパレータ33はあらかじめスキュー調整されて校正された入力ピンのコンパレータ回路を構成する。試験装置本体31内にはD型フリップフロップ35が設けられており、データ入力端子Dには信号Bが印加され、タイミング入力端子Cでは信号Cが印加され、このタイミングでデータ入力端子Dに入力された信号はラッチされ出力Qから信号Dとして取り出される。

【0005】ドライバ回路32から図3(b)に示すような波形を持つ信号Aを出力する。次いでD型フリップフロップ35により信号Cのタイミングで、信号Bが入力されているかいないかを信号Dの出力状態を調べることによって判定する。フリップフロップ35の出力信号Dの状態は信号Aの状態によりハイまたはローレベルのいずれかとなる。信号Aが図に示すような実線の波形の場合にはローレベルとなり、点線で示すような波形の場合には信号Cのタイミングでハイレベルとなる。信号Cはコンパレータ33の入力下において校正されたタイミングで到来する信号であるから、フリップフロップ35の出力信号Dの状態がローからハイに変化する点を求めればドライバ回路32の出力信号Aがコンパレータ33の入力側でスキュー調整されたことになる。

【0006】なお、フリップフロップ35の出力信号Dの状態がローからハイに変化する点を求めるには、可変遅延回路34の遅延量を制御する信号線を順次重みの大きい方から小さい方に出力の状態を見ながら切り換えていく逐次比較法と呼ばれる方法が使用されている。この方法ではまず可変遅延回路34の制御信号線のうち一番重みの大きい信号線を除いて全てセットし、フリップフロップ35の出力信号Dの状態をチェックする。出力信号Dの状態がハイであれば遅延が小さいのであるから一番重みの大きい信号線をセットし、ローであればそのままとする。この時二番目の信号線のみをリセットし、それより重みの小さい信号線はセットされた状態のままにしておく。次いで出力信号Dの状態をチェックし、前述したと同じプロセスを繰り返す。このような手順を一番重みの小さい信号線に至るまで続けスキュー値を得る。

【0007】このようなプロセスを行うためには出力信号Dの状態に基づき判定を行い、遅延回路34の信号線をセット、リセットするという閉ループ的な制御が必要となるため、一般的には自動試験装置を制御するコンピュータが利用される。コンピュータはこれらのハードウェアを順次設定、動作させ判定を繰り返していかなければならないため一つの出力ピンにつき、かなりの回数の調整が必要となり多大の時間を要することになる。

## 【0008】

【発明が解決しようとする課題】従来のタイミングスキュー調整方法では、コンピュータは通常一台であるため全部の出力ピンについて順次実行していかなければならず256、512といった多数の出力ピンを持った装置ではタイミングスキューの調整だけでも極めて長い時間を必要とする。このような処理はコンパレータ側のスキュー調整の際でも同様であり、入出力全てのピンのスキュー調整を行うには極めて長い時間自動試験装置をスキュー調整の為に振り向けなければならず、装置本来の目的に使用できない時間が大幅に増えてしまうという問題がある。

【0009】この発明は、タイミングスキューの調整を高速かつ効率的に行う機構を自動試験装置内に内蔵させることによりスキュー調整に要する時間を大幅に短縮し、装置の効率的運用を可能とするタイミングスキュー調整機構を提供することを目的とする。

## 【0010】

【課題を解決するための手段】この目的を達成するため、この発明では、スキュー調整すべき出力ピンに所定の信号伝搬遅延時間を与える可変遅延回路13・23と、出力ピンより取り出された信号と基準信号との時間差を測定する時間測定回路14・15・27と、時間測定回路14・15・27によって測定された時間差に応じて可変遅延回路13・23に設定される遅延量を調整する調整回路とを設ける。

【0011】さらにこの発明はスキュー調整すべき入力ピンに所定の信号伝搬遅延時間を与える可変遅延回路26と、入力ピンに与えられるあらかじめ基準信号に対しスキュー調整を行った信号と可変遅延回路26から取り出された信号との間の時間差を測定する時間測定回路27と、時間測定回路27によって測定された時間差に応じて可変遅延回路26により設定される遅延量を調整する調整回路29とを設ける。

## 【0012】

【作用】この発明ではスキューの調整を行う際に必要となる補正値を直接得る時間測定回路を各ピンごとに備え、各ピンの補正値を時間測定回路により得て、得られた時間差に応じて可変遅延回路の遅延量を調整するようにしている。従って調整手順の短縮化と並列処理が可能となる。

## 【0013】

【実施例】図1はこの発明に係るタイミングスキュー調整機構の一実施例を示す図である。図1(a)は回路構成ブロック図、(b)はこの発明で使用される時間測定回路の一例を示す回路図、また(c)は各部の信号波形を示す波形図である。試験装置本体11内には出力ピンに所定の信号伝搬遅延時間を与える可変遅延回路13とフリップフロップ14と時間一電圧変換回路15とDC電圧測定回路16と調整回路10とが組み込まれてい

る。

【0014】スキュー調整をしたい出力ピンからはドライバ回路12を介して信号Eが出力される。この信号Eはフリップフロップ14のセット入力端子Sに接続される。一方、リセット入力端子Rには基準信号Fが入力される。出力端子Qからは信号Gが出力され、これが時間一電圧変換回路15の入力端子に与えられる。フリップフロップ14と時間電圧変換回路15とは時間測定回路を構成し、基準信号Fとスキュー調整を施す出力ピンの信号との間の時間差を測定する。この時間差は電圧に変換され、DC電圧測定回路16によりDC電圧として測定される。このDC電圧測定回路16は通常試験装置に内蔵されているためこれを用いることができる。DC電圧測定回路16によって測定された時間差に応じて所定の遅延時間の調整値が算出され、調整回路10を介して可変遅延回路13の伝搬遅延時間が調整される。

【0015】図1(b)は時間測定回路の一構成例を示した回路図である。図1(c)に示すような信号E・Fをそれぞれフリップフロップ14のセット入力端子Sとリセット入力端子Rとに与えてフリップフロップ14を動作させ、信号E・Fの時間差を示す信号Gを得る。この信号をベア接続されたスイッチ素子18の制御入力端子に入力し、出力端子をコンデンサ19を介して定電流源に接続する。これにより信号Gによって時間差に相当する期間、スイッチ18がオンする。従って定電流源からコンデンサ19に一定時間チャージが行われ、オンした期間、即ち信号E・Fの時間差に相当する期間に比例する電圧が信号Hとして得られる。この電圧を試験装置本体11に内蔵されているDC電圧測定回路16により測定すれば時間差を知ることができる。

【0016】図2はこの発明の他の実施例を示す構成ブロック図及び各部の波形図を示したものである。本実施例では出力ピンのみならず入力ピンのスキュー調整を行うために切り換えスイッチ21が設けられている。出力ピンのスキュー調整のためには可変遅延回路23が、入力ピンのスキュー調整のためには可変遅延回路26がそれぞれ用いられ、これらはDC電圧測定回路28からの時間差信号に応じて調整回路29により遅延量が決定され、それが可変遅延回路23・26に与えられるように構成されている。

【0017】ドライバ回路22、コンパレータ24、D型フリップフロップ25、レベル電源回路20及び時間測定回路27の構成はそれぞれ図1に示したものと同様であるためその詳細説明は省略する。図2(a)に示す構成を用いて出力ピンのスキュー調整を行う場合を説明する。

【0018】この場合、スイッチ21の接点①、②のみをオンし、図1(a)と同様な接続構成とする。ドライバ回路22から出力される信号Mが基準信号Jよりあらかじめ先に到来するように、即ち図1(c)に示すよう

なタイミング関係となるように設定しておく。そして信号Mと基準信号Jとの間の時間差を測定する。この測定された値に基づいて可変遅延回路23に設定すべき遅延量を調整回路29により可変遅延回路23に与えてスキュー調整を行う。この時一回の測定で正確なスキュー調整を行えるようにするためには、可変遅延回路23の設定値と遅延量の関係を別の方法で計って得ておく。そして調整回路29によりこれを可変遅延回路23に与えるようにすればよい。

【0019】同様な手順を全ての出力ピンについて行ってスキュー調整を実行する。このようにすれば従来の方法とは異なり制御線を切り換えていく操作を必要としないため調整に要する回数をかなり少なくすることができる。次に入力ピンのスキュー調整の方法を説明する。この場合、スイッチ21の接点①、③のみをオンし、ドライバ回路22からあらかじめ基準信号Jに対してスキュー調整を行った信号Mをコンパレータ24に入力する。更に図2(b)に示すようなタイミング関係となるような信号Kをフリップフロップ25のタイミング入力端子Cに入力し、信号Mと信号Kとの間の時間差を測定する。

【0020】スキューの調整はフリップフロップ25の入力端子に信号Mが到来した瞬間に信号Kによる記憶保持動作が行われるようにしなければならないため、測定した時間差にフリップフロップ25のセットアップ時間を加えた遅延量を設定しなければならない。このセットアップ時間を別の方法で測定しておき、スキュー調整の際には測定値から得られた遅延量とこの値とを加えて可変遅延回路26の遅延量を定めればよい。

【0021】このような計算はいずれも試験装置を制御

するコンピュータにより行えば良い。このようにすれば出力ピンの場合と同様調整に要する回数をかなり少なくし効率良くスキュー調整を行うことができる。また時間測定回路27を各ピンに内蔵させることにより入力ピンのスキュー調整を並列して実行することが可能になるため調整時間を大幅に短縮することができる。

【0022】

【発明の効果】この発明によれば、スキューの調整を行う際に必要となる補正値を直接得る時間測定回路を各ピンごとに備えるようにしたため、スキュー調整に要する時間を大幅に短縮することができる。したがって、装置の効率的運用や検査コストの低減を図ることができる。更にこの発明のスキュー調整機構は簡単で安価な回路構成で実現されるためIC化も容易で装置の価格にそれ程影響を与えることなく実現することができる。

【図面の簡単な説明】

【図1】この発明のタイミングスキュー調整機構の一実施例を示す図。

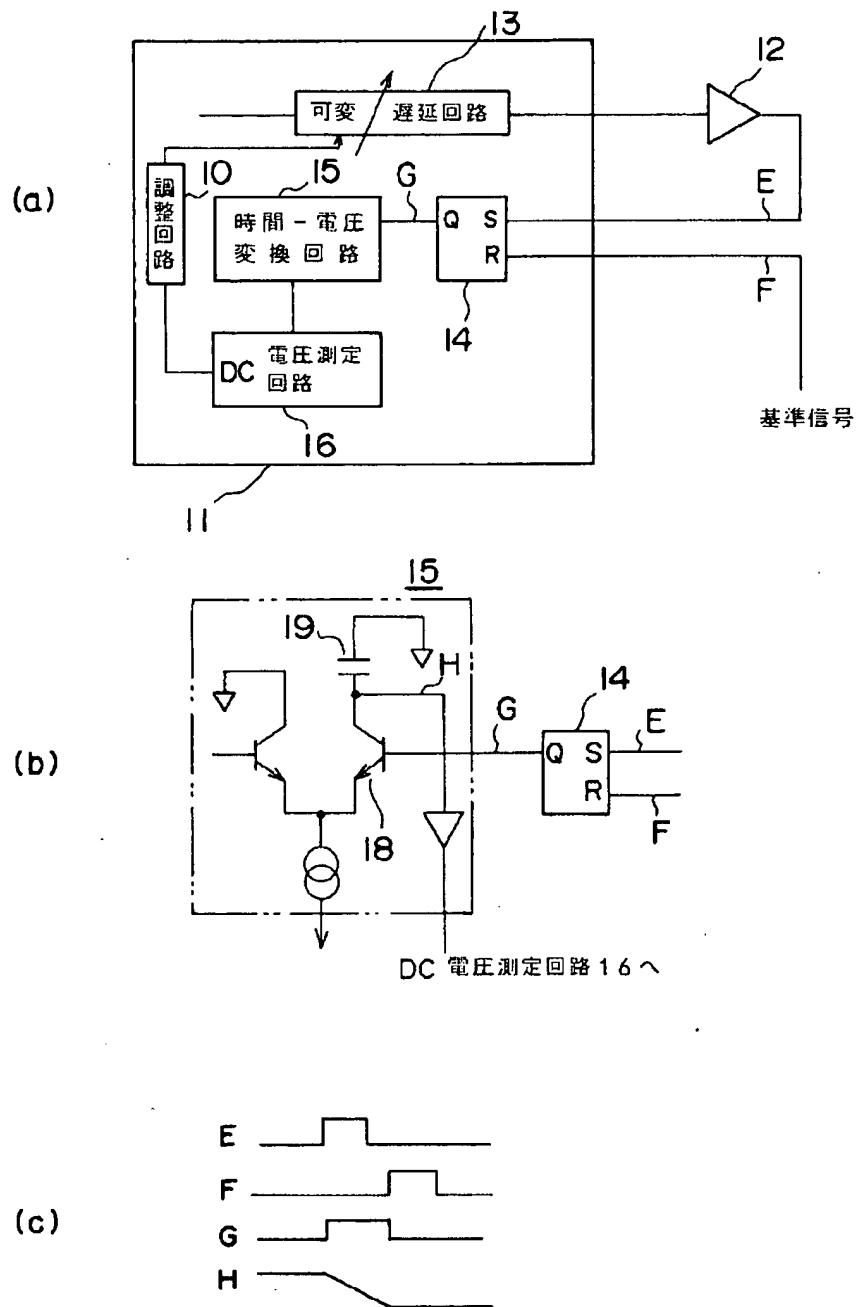
【図2】この発明の他の実施例を示す図。

【図3】従来のタイミングスキュー調整機構を示す図。

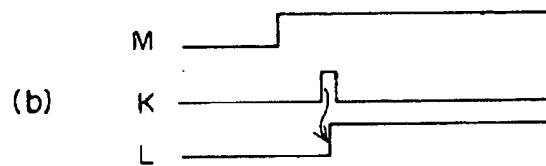
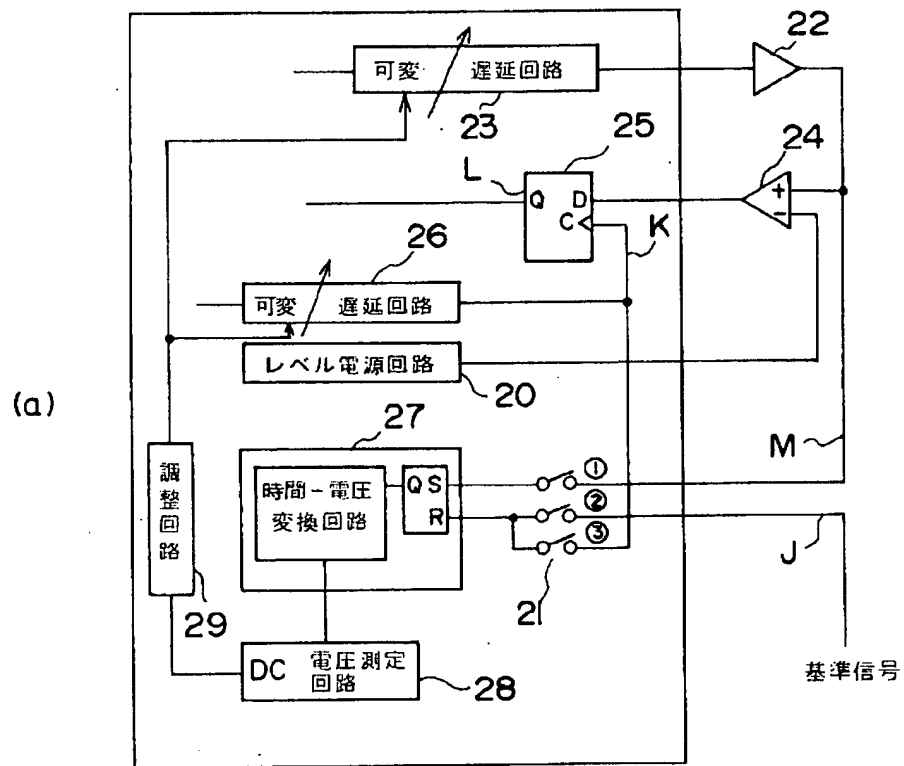
【符号の説明】

11	試験装置本体
13, 23	可変遅延回路
14	セットリセット型フリップフロップ
15	時間-電圧変換回路
16, 28	DC電圧測定回路
10, 29	調整回路
26	可変遅延回路
27	時間測定回路

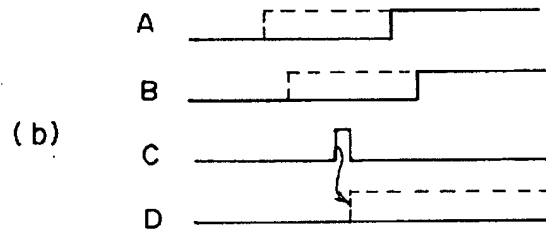
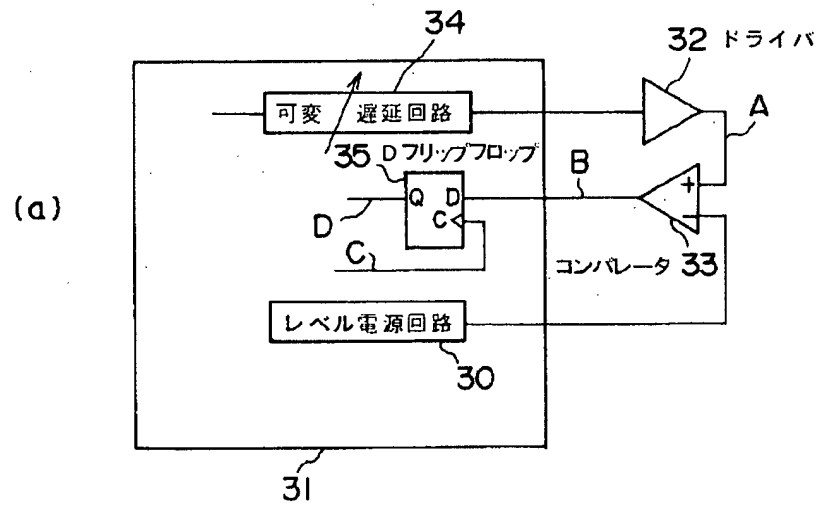
【図1】



【図2】



【図3】





\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] In a timing skew adjustment device in which timing skew between two or more I/O pins is adjusted the 1st adjustable delay circuit (13 23) which gives predetermined signal propagation delay time to an output pin which should carry out skew adjustment A timing measurement circuit which measures time difference between the 1st signal and reference signals which were taken out from said output pin (14, 15, 27), Said time difference measured by said timing measurement circuit (14, 15, 27) is embraced, and it is said 1st adjustable delay circuit (13 23). A timing skew adjustment device characterized by preparing an equalization circuit (10) which adjusts the amount of delay set up.

[Claim 2] A timing skew adjustment device characterized by providing the following in which timing skew between two or more I/O pins is adjusted The 2nd adjustable delay circuit which gives predetermined signal propagation delay time to an input pin which should carry out skew adjustment (26) A timing measurement circuit which measures time difference between the 2nd signal which is given to said input pin, and which performed skew adjustment to a reference signal beforehand, and the 3rd signal outputted from said 2nd adjustable delay circuit (26) (27) An equalization circuit which adjusts the amount of delay set as said 2nd adjustable delay circuit (26) according to said time difference measured by said timing measurement circuit (27) (29)

---

[Translation done.]

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention is a thing about the timing skew adjustment device in an automatic test equipment.

[0002]

[Description of the Prior Art] In an automatic test equipment, especially the automatic test equipment of IC, two or more I/O pins are connected to the trial IC-ed, a digital pattern train is added to the trial IC-ed from a testing-device side, and the quality examined [ IC ] is judged by comparing with the expected pattern which set up the response from the IC beforehand. In this case, it is necessary to adjust timing skew between [ of an automatic test equipment ] I/O pins. However, if the number of pins of the I/O pin of an automatic test equipment increases, trouble will be caused, when the time amount which adjustment of the timing skew between pins takes becomes long and needs readjustment on employment.

[0003] Drawing 3 is drawing having shown an example of the timing skew adjustment device of the output pin in the conventional automatic test equipment, (a) shows the circuit block diagram and (b) shows the wave form chart of each part, respectively. In the main part 31 of a testing device, the adjustable delay circuit 34 for giving predetermined signal propagation delay time to an output pin is formed for every output pin, and Signal A is taken out from the driver circuit 32 connected to this. The output signal A from a driver circuit 32 is connected to the plus side input terminal of a comparator 33, and the level power circuit 30 within the main part 31 of a testing device is connected to a minus side input terminal.

[0004] Fixed voltage is impressed to a comparator 33 by this at a minus side input terminal, and when the signal A given to a plus side input terminal through a driver circuit 32 exceeds the voltage level set up by this level power circuit 30, it operates so that the output signal B of a comparator 33 may become high-level. In this case, a comparator 33 constitutes the comparator circuit of the input pin which skew adjustment was beforehand carried out and was proofread. D type flip-flop 35 is formed in the main part 31 of a testing device, Signal B is impressed to the data input terminal D, and in the timing input terminal C, the signal which Signal C was impressed and was inputted into the data input terminal D to this timing is latched, and is taken out from an output Q as a signal D.

[0005] The signal A with a wave as shown in drawing 3 (b) from a driver circuit 32 is outputted. Subsequently, it judges by investigating the output state of Signal D for whether there is any paddle into which Signal B is inputted by D type flip-flop 35 to the timing of Signal C. Yes, the condition of the output signal D of a flip-flop 35 serves as either of the low level according to the condition of Signal A. In the wave of a continuous line as Signal A shows in drawing, it becomes with a low level, and, in a wave as shown by the dotted line, becomes high-level to the timing of Signal C. If the point that the condition of the output signal D of a flip-flop 35 changes from a low to a high is searched for, it will mean that skew adjustment of the output signal A of a driver circuit 32 was carried out by the input side of a comparator 33 since Signal C was a signal which comes to the timing proofread under the input of a

comparator 33.

[0006] In addition, in order to search for the point that the condition of the output signal D of a flip-flop 35 changes from a low to a high, the method called the successive comparison method which switches the signal line which controls the amount of delay of the adjustable delay circuit 34 while looking at the condition of an output to the smaller one one by one from the one where weight is larger is used. By this method, except for a signal line with the largest weight, all are first set among the control signal lines of the adjustable delay circuit 34, and the condition of the output signal D of a flip-flop 35 is checked. the condition of an output signal D -- yes -- if it comes out, a signal line with the largest weight is set since delay is small, if it is, and it is a low -- as it is -- \*\* -- it carries out. Only the signal line of eye this Tokiji watch is reset, and the signal line with weight smaller than it is changed into the condition of having been set. Subsequently, the same process as having checked and mentioned the condition of an output signal D above is repeated. A skew value is continuously acquired until it results such a procedure in a signal line with the smallest weight.

[0007] In order to perform such a process, it judges based on the condition of an output signal D, and since closed-loop-control of setting and resetting the signal line of a delay circuit 34 is needed, the computer which generally controls an automatic test equipment is used. In order that such hardware may be sequential-set up, and a computer may operate it and may repeat a judgment, about one output pin, adjustment of a remarkable count will be needed and it will require great time amount.

[0008]

[Problem(s) to be Solved by the Invention] By the conventional timing skew adjustment method, since there is usually one computer, it needs time amount only with very long adjustment of timing skew with the equipment which had to carry out sequential execution about all output pins, and had the output pin of a large number 256,512. Such processing of the time of the skew adjustment by the side of a comparator is also the same, it must be assigned for performing skew adjustment of the pin of all I/O only for skew adjustment of a very long time amount automatic test equipment, and there is a problem that the time amount which cannot be used for the purpose of equipment original will increase sharply in it.

[0009] This invention shortens sharply the time amount which skew adjustment takes adjustment of timing skew by making a high speed and the device performed efficiently build in in an automatic test equipment, and aims at offering the timing skew adjustment device which enables efficient employment of equipment.

[0010]

[Means for Solving the Problem] In order to attain this purpose, in this invention, the adjustable delay circuit 13-23 which gives predetermined signal propagation delay time to an output pin which should carry out skew adjustment, the timing-measurement circuit 14-15-27 which measures time difference of a signal and a reference signal which were taken out from an output pin, and an equalization circuit which adjusts the amount of delay set as the adjustable delay circuit 13-23 according to time difference measured by the timing measurement circuit 14-15-27 are prepared.

[0011] The timing-measurement circuit 27 which measures the time difference between the adjustable delay circuit 26 which gives predetermined signal propagation delay time to an input pin which should furthermore carry out skew adjustment of this invention, and a signal with which an input pin is given, and which performed skew adjustment to a reference signal beforehand and a signal taken out from the adjustable delay circuit 26, and the equalization circuit 29 which adjust the amount of delay set up by the adjustable delay circuit 26 according to the time difference measured by the timing-measurement circuit 27 form.

[0012]

[Function] It has the timing measurement circuit which acquires directly the correction value which is needed in case a skew is adjusted for every pin, and he acquires the correction value of each pin by the timing measurement circuit, and is trying to adjust the amount of delay of an adjustable delay circuit according to the acquired time difference in this invention. Therefore, shortening and parallel processing of an adjustment procedure become possible.

[0013]

[Example] Drawing 1 is drawing showing one example of the timing skew adjustment device concerning this invention. The circuit diagram showing an example of the timing measurement circuit where drawing 1 (a) is used with a circuitry block diagram, and (b) is used by this invention, and (c) are the wave form charts showing the signal wave form of each part. In the main part 11 of a testing device, the adjustable delay circuit 13, the flip-flop 14 and the time amount-voltage conversion circuit 15 which give predetermined signal propagation delay time to an output pin, DC amplitude-measurement circuit 16, and the equalization circuit 10 are incorporated.

[0014] From an output pin to carry out skew adjustment, Signal E is outputted through a driver circuit 12. This signal E is connected to the set input terminal S of a flip-flop 14. On the other hand, a reference signal F is inputted into the reset input terminal R. From an output terminal Q, Signal G is outputted and this is given to the input terminal of the time amount-voltage conversion circuit 15. A flip-flop 14 and the time amount voltage conversion circuit 15 constitute a timing measurement circuit, and measure the time difference between a reference signal F and the signal of the output pin which performs skew adjustment. This time difference is changed into voltage and measured by DC amplitude-measurement circuit 16 as DC voltage. Since this DC amplitude-measurement circuit 16 is built in routine test equipment, it can use this. The adjustment value of a predetermined time delay is computed according to the time difference measured by DC amplitude-measurement circuit 16, and the propagation delay time of the adjustable delay circuit 13 is adjusted through an equalization circuit 10.

[0015] Drawing 1 (b) is the circuit diagram having shown the example of 1 configuration of a timing measurement circuit. Signal E-F as shown in drawing 1 (c) is given to the set input terminal S of a flip-flop 14, and the reset input terminal R, respectively, a flip-flop 14 is operated, and the signal G which shows the time difference of signal E-F is acquired. This signal is inputted into the control-input terminal of the switching device 18 by which pair connection was made, and an output terminal is connected to a constant current source through a capacitor 19. The period and switch 18 which are equivalent to time difference by this with Signal G turn on. Therefore, fixed time amount charge is performed to a capacitor 19, and the voltage proportional to the turned-on period, i.e., the period equivalent to the time difference of signal E-F, is obtained from a constant current source as a signal H. Time difference can be known if it measures by DC amplitude-measurement circuit 16 in which this voltage is contained by the main part 11 of a testing device.

[0016] Drawing 2 shows configuration block drawing showing other examples of this invention, and the wave form chart of each part. In this example, in order to perform skew adjustment of not only an output pin but an input pin, the transfer switch 21 is formed. For skew adjustment of an output pin, the adjustable delay circuit 26 is used, respectively for the adjustable delay circuit's 23 skew adjustment of an input pin, and the amount of delay is determined by the equalization circuit 29 according to the time difference signal from DC amplitude-measurement circuit 28, and these are constituted so that it may be given to the adjustable delay circuit 23-26.

[0017] Since the configuration of a driver circuit 22, a comparator 24, D type flip-flop 25, the level power circuit 20, and the timing measurement circuit 27 is the same as that of what was shown in drawing 1 respectively, the details explanation is omitted. The case where skew adjustment of an output pin is performed using the configuration shown in drawing 2 (a) is explained.

[0018] In this case, only contact [ of a switch 21 ] \*\* and \*\* are turned on and it considers as the same connection configuration as drawing 1 (a). It sets up so that the signal M outputted from a driver circuit 22 may come previously beforehand from a reference signal J, namely, so that it may become timing relationship as shown in drawing 1 (c). And the time difference between Signal M and a reference signal J is measured. The amount of delay which should be set as the adjustable delay circuit 23 based on this measured value is given to the adjustable delay circuit 23 by the equalization circuit 29, and skew adjustment is performed. In order to enable it to perform exact skew adjustment by measurement of this Tokikazu time, the set point of the adjustable delay circuit 23 and the relation of the amount of delay are measured and obtained by the option. And what is necessary is just to give this to the adjustable delay circuit 23 by the equalization circuit 29.

[0019] All output pins are followed in the same procedure, and skew adjustment is performed. Since the actuation which switches the control line unlike the conventional method is not needed if it does in this way, the count which adjustment takes can be lessened considerably. Next, the method of skew adjustment of an input pin is explained. In this case, only contact [ of a switch 21 ] \*\* and \*\* are turned on and the signal M which performed skew adjustment from the driver circuit 22 to the reference signal J beforehand is inputted into a comparator 24. Furthermore, the signal K which serves as timing relationship as shown in drawing 2 (b) is inputted into the timing input terminal C of a flip-flop 25, and the time difference between Signal M and Signal K is measured.

[0020] Adjustment of a skew must set up the amount of delay which added the setup time of a flip-flop 25 to the measured time difference, in order to have to perform storage maintenance actuation by Signal K at the moment Signal M arrived at the input terminal of a flip-flop 25. What is necessary is to measure this setup time by the option, to apply the amount of delay obtained from measured value, and this value in the case of skew adjustment, and just to define the amount of delay of the adjustable delay circuit 26.

[0021] What is necessary is for the computer which controls a testing device just to perform each of such count. If it does in this way, the count which adjustment takes like the case of an output pin can be lessened considerably, and skew adjustment can be performed efficiently. Moreover, since it becomes possible to arrange in parallel and perform skew adjustment of an input pin by making the timing measurement circuit 27 build in each pin, adjustment time amount can be shortened sharply.

[0022]

[Effect of the Invention] Since according to this invention it had the timing measurement circuit which acquires needed correction value directly for every pin when adjusting a skew, the time amount which skew adjustment takes can be shortened sharply. Therefore, efficient employment of equipment and reduction of inspection cost can be aimed at. Furthermore, since it realizes by easy and cheap circuitry, the skew adjustment device of this invention is easy also for IC-izing, and it can be realized, without affecting the price of equipment so much.

---

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] Drawing showing one example of the timing skew adjustment device of this invention.

[Drawing 2] Drawing showing other examples of this invention.

[Drawing 3] Drawing showing the conventional timing skew adjustment device.

[Description of Notations]

11 Main Part of Testing Device

13 23 Adjustable delay circuit

14 Set-reset Mold Flip-flop

15 Time Amount-Voltage Conversion Circuit

16 28 DC amplitude-measurement circuit

10 29 Equalization circuit

26 Adjustable Delay Circuit

27 Timing Measurement Circuit

---

[Translation done.]